

Docket No. 204720US2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tatsuya KUNIKIYO  
SERIAL NO: NEW APPLICATION  
FILED: HEREWITH  
FOR: ACTIVE INDUCTOR

GAU:  
EXAMINER:

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

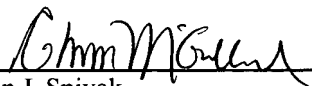
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-266900	September 4, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

#2 Priority Doc  
DRAFT  
5-22-01  
jc971 U.S. PTO  
09/805925  
03/15/01

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

1c971 U.S. PTO  
09/805925  
03/15/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 9月 4日

出 願 番 号

Application Number:

特願2000-266900

出 願 人

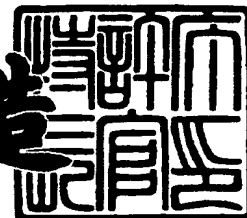
Applicant (s):

三菱電機株式会社

2000年 9月22日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3077854

【書類名】 特許願

【整理番号】 526058JP01

【提出日】 平成12年 9月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 11/48

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 國清 辰也

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

【手数料の表示】

    【予納台帳番号】 012852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【ブルーフの要否】	要	

【書類名】 明細書

【発明の名称】 能動インダクタ

【特許請求の範囲】

【請求項 1】 いずれもソース、ゲート、ドレインを有する第 1 及び第 2 の電界効果トランジスタを備え、

前記第 1 の電界効果トランジスタの前記ドレインは前記第 2 の電界効果トランジスタの前記ソースに接続され、

前記第 1 の電界効果トランジスタの前記ゲートは前記第 2 の電界効果トランジスタの前記ドレインに、能動素子を介さずに接続され、

前記第 1 の電界効果トランジスタの前記ソースと前記第 2 の電界効果トランジスタの前記ゲートとの間に設けられたフィードバック路を更に備え、

前記第 2 の電界トランジスタの前記ゲート及び前記ソースをインダクタの 2 端子とする能動インダクタ。

【請求項 2】 いずれもソース、ゲート、ドレインを有する第 1 乃至第 3 の電界効果トランジスタを備え、

前記第 1 の電界効果トランジスタの前記ドレインは前記第 2 の電界効果トランジスタの前記ソース及び前記第 3 の電界トランジスタの前記ゲートに接続され、

前記第 1 の電界効果トランジスタの前記ゲートは前記第 2 の電界効果トランジスタの前記ドレインに接続され、

前記第 2 の電界効果トランジスタの前記ゲートは前記第 3 の電界効果トランジスタの前記ドレインに接続され、

前記第 1 の電界効果トランジスタの前記ソースと前記第 3 の電界効果トランジスタの前記ソースとの間に設けられたフィードバック路を更に備え、

前記第 3 の電界トランジスタの前記ゲート及び前記ソースをインダクタの 2 端子とする能動インダクタ。

【請求項 3】 いずれもソース、ゲート、ドレインを有する第 1 乃至第 4 の電界効果トランジスタを備え、

前記第 1 の電界効果トランジスタの前記ドレインは前記第 2 の電界効果トランジスタの前記ソース並びに前記第 3 の電界トランジスタの前記ゲート及び前記第

4 の電界トランジスタの前記ゲートに接続され、

前記第 1 の電界効果トランジスタの前記ゲートは前記第 2 の電界効果トランジスタの前記ドレインに接続され、

前記第 2 の電界効果トランジスタの前記ゲートは前記第 3 の電界効果トランジスタの前記ドレインに接続され、

前記第 3 の電界効果トランジスタの前記ソースは前記第 4 の電界効果トランジスタの前記ソースに接続され、

前記第 1 の電界効果トランジスタの前記ソースと前記第 4 の電界効果トランジスタの前記ドレインとの間に設けられたフィードバック路を更に備え、

前記第 4 の電界効果トランジスタの前記ソース及び前記ドレインは同電位に設定され、

前記第 4 の電界効果トランジスタの前記ドレインと前記フィードバック路との接続点に流れ込む電流と、前記第 4 の電界効果トランジスタの前記ソースと前記第 2 の電界効果トランジスタの前記ソースとの接続点において流れ込む電流とは独立に設定され、

前記第 4 の電界トランジスタの前記ゲート及び前記ドレインをインダクタの 2 端子とする能動インダクタ。

【請求項 4】 前記インダクタの 2 端子に対して直列に接続される抵抗を更に備える、請求項 2 又は請求項 3 に記載の能動インダクタ。

【請求項 5】 前記フィードバック路には、

前記第 1 の電界トランジスタの前記ソースに接続されたソースと、

互いに共通に接続されて前記インダクタの前記 2 端子の一方に接続されるゲート及びドレインと

を有するフィードバック用の電界効果トランジスタ

を更に備える、請求項 1 乃至請求項 4 のいずれか一つに記載の能動インダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は能動インダクタに関し、特に電界効果トランジスタを採用した能動イ

ンダクタに関する。

【 0 0 0 2 】

【従来の技術】

モノリシックなマイクロ波集積回路（以下MMICs : Monolithic Microwave Integrated Circuits）では、回路間のインピーダンス整合を得たり、回路のバンド幅を改善することが要求されている。これらの要求を実現する為、MMICsではキャパシタやインダクタが使用される。MMICsで使用されるインダクタには、誘電体基板上に金属導体を渦巻状に形成したスパイラルインダクタが採用されることも多かった。

【 0 0 0 3 】

スパイラルインダクタは構成が簡単であるが、大きなインダクタンスを得る為にはスパイラルインダクタの形状も大きく、従って実質的な占有面積も大きい傾向がある。また抵抗成分が高く電力消費が大きかったり、スパイラルインダクタの周辺回路とクロストークが生じる問題があった。

【 0 0 0 4 】

スパイラルインダクタのかかる問題点を解決する為に、能動素子であるトランジスタを用いた能動インダクタが提案されている。能動インダクタはスパイラルインダクタと比較して小型に構成でき、しかも抵抗成分が小さいので電力消費が小さく、また周辺回路とクロストークがほとんどないという利点を有する。このような特徴から能動インダクタはMMICsに好適である。

【 0 0 0 5 】

能動インダクタとしては、四端子網回路にいうジャイレータと、キャパシタとの組み合わせが従来から提案されている。ジャイレータはインピーダンスを変換する機能を有するからである。特に電界効果トランジスタは入力インピーダンスが大きい為、ジャイレータを構成するのに適している。電界効果トランジスタによって構成されたジャイレータと、キャパシタとで能動インダクタを構成する技術は、例えば特開平4-233312号公報に紹介されている。

【 0 0 0 6 】

しかしまた、ジャイレータによってキャパシタのインピーダンスを変換する構

成ではないタイプの能動インダクタも提案されている。図 2 3 は例えば “Br ad-Band Monolithic Active Inductor and Its Application to Miniaturized Wide-Band Amplifiers” , Hara et al., IEEE Transactions on Microwave Theory and Techniques, MTT-36, No.12, pp.1920-24(Dec.1988)に紹介された能動インダクタ 2 0 0 の構成を示す回路図である。トランジスタ M 1, M 2 はいずれも電界効果トランジスタであって、記号 D, G, S はそれぞれドレイン、ゲート、ソースを示している。トランジスタ M 1 のソースはトランジスタ M 2 のゲートと接続され、トランジスタ M 1 のドレインはトランジスタ M 2 のソースと接続されている。そしてトランジスタ M 1 のゲートとトランジスタ M 2 のドレインとの間には抵抗 R が接続されている。そしてトランジスタ M 2 のドレインとゲートの間のインピーダンスがインダクタとして機能する。但し、トランジスタ M 1, M 2 が動作する為のバイアス回路は省略している。

## 【 0 0 0 7 】

電界効果トランジスタ M 1, M 2 は、そのいずれもが図 2 4 で示される等価回路で表すことができる。即ちトランジスタ M 1, M 2 の動作特性は、ソース・ゲート間には寄生キャパシタ  $C_{gs}$  が設けられ、ソースに対するゲートの電圧を  $V_{gs}$  とすると、ドレインからソースへと電流  $g_m V_{gs}$  を流す電流源が設けられた等価回路の動作で近似できる ( $g_m > 0$  : トランスコンダクタンス)。なお、簡単の為、回路中の符号は、その示す素子の値、その示す電位の値、その示す電流の値をも示す。また、ある回路の動作をその等価回路の動作で近似することを意味して、その回路を等価回路で近似する、との表現をも採用する。

## 【 0 0 0 8 】

図 2 4 の等価回路を採用し、かつトランジスタ M 1, M 2 についての等価回路中の素子であることを明確にする為に、寄生キャパシタ  $C_{gs}$ 、トランスコンダクタンス  $g_m$ 、ソースに対するゲートの電圧  $V_{gs}$  の各々に対してそれぞれ添字 1, 2 を付記すると、能動インダクタ 2 0 0 は図 2 5 で示された等価回路で近似することができる。

## 【 0 0 0 9 】

トランジスタ M 2 のドレインのゲートに対する電圧を  $V$  とし、図 2 3 で示され



た能動インダクタに流れる電流を  $I$  (トランジスタ  $M2$  のドレインと抵抗  $R$  との接続点へと流れ込む方向を正とする) とする。電圧  $V$  の角周波数を  $\omega$  とし、虚数単位  $(-1)^{1/2}$  を  $j$  と表記すると寄生キャパシタ  $C_{gs1}$ ,  $C_{gs2}$  のアドミッタンスはそれぞれ  $j\omega C_{gs1}$ ,  $j\omega C_{gs2}$  である。

【0010】

よって図23で示された能動インダクタのインピーダンスは

【0011】

【数1】

$$Z = \frac{V}{I} = \frac{1}{1 + \left( \frac{\omega C_{gs2}}{g_{m2}} \right)^2} \cdot \frac{1 + j\omega C_{gs1} R}{g_{m1} + j\omega \left[ C_{gs1} - \left( \frac{g_{m1}}{g_{m2}} \right) C_{gs2} + \left( \frac{\omega C_{gs2}}{g_{m2}} \right)^2 C_{gs1} \right]}$$

... (1)

【0012】

として表される。更にトランジスタ  $M1$ ,  $M2$  が同じ特性を有する場合には、 $C_{gs1} = C_{gs2} = C$ ,  $g_{m1} = g_{m2} = g$  の関係が成立するので、式 (1) は

【0013】

【数2】

$$Z = \frac{1}{1 + \left( \frac{\omega}{\omega_T} \right)^2} \cdot \frac{\frac{1}{g} + j\omega \frac{CR}{g}}{1 + j \left( \frac{\omega}{\omega_T} \right)^3} \quad \dots (2)$$

【0014】

として表される。ここで  $\omega_T = g/C$  である。

【0015】

式 (2) の右辺の右側の項の分母は  $1 + j (\omega/\omega_T)^3$  であり、

【0016】

【数3】

$$\left(\frac{\omega}{\omega_T}\right)^3 \ll 1 \quad \dots (3)$$

【0017】

の条件下で

【0018】

【数4】

$$Z \doteq \frac{\frac{1}{g} + j\omega \frac{CR}{g}}{1 + \left(\frac{\omega}{\omega_T}\right)^2} \quad \dots (4)$$

【0019】

と近似できる。

【0020】

更に

【0021】

【数5】

$$\left(\frac{\omega}{\omega_T}\right)^2 \ll 1 \quad \dots (5)$$

【0022】

の条件下では式(3)の条件も満足され、式(4)は

【0023】

【数6】

$$Z \doteq \frac{1}{g} + j\omega \left(\frac{CR}{g}\right) \quad \dots (6)$$

【0024】

と近似できる。

【0025】

従って式(5)の条件下では、図23で示された能動インダクタは、図26に

示されるように、理想的なインダクタ  $CR/g$  に対して抵抗成分  $(1/R)$  が直列に接続された回路で近似できる。

【 0 0 2 6 】

【発明が解決しようとする課題】

しかし、トランジスタ  $M1$ 、 $M2$  内での抵抗成分を無視した図 2 4 の等価回路を採用しても、式 (6) のように直列抵抗成分が存在する。これは能動インダクタ 2 0 0 が、原理的に損失は不可避であることを示している。

【 0 0 2 7 】

本発明は上記の事情に鑑みて為されたもので、損失の低い能動インダクタを提供することを第 1 の目的とする。また、更にはインダクタンスが所定の範囲内に収まる範囲、即ち帯域が広い能動インダクタを提供することを第 2 の目的とする。

【 0 0 2 8 】

【課題を解決するための手段】

この発明のうち請求項 1 にかかるものは能動インダクタであって、いずれもソース、ゲート、ドレインを有する第 1 及び第 2 の電界効果トランジスタを備え、前記第 1 の電界効果トランジスタの前記ドレインは前記第 2 の電界効果トランジスタの前記ソースに接続され、前記第 1 の電界効果トランジスタの前記ゲートは前記第 2 の電界効果トランジスタの前記ドレインに、能動素子を介さずに接続され、前記第 1 の電界効果トランジスタの前記ソースと前記第 2 の電界効果トランジスタの前記ゲートとの間に設けられたフィードバック路を更に備え、前記第 2 の電界効果トランジスタの前記ゲート及び前記ソースをインダクタの 2 端子とする。

【 0 0 2 9 】

この発明のうち請求項 2 にかかるものは能動インダクタであって、いずれもソース、ゲート、ドレインを有する第 1 乃至第 3 の電界効果トランジスタを備え、前記第 1 の電界効果トランジスタの前記ドレインは前記第 2 の電界効果トランジスタの前記ソース及び前記第 3 の電界効果トランジスタの前記ゲートに接続され、前記第 1 の電界効果トランジスタの前記ゲートは前記第 2 の電界効果トランジスタの前記ドレインに接続され、前記第 2 の電界効果トランジスタの前記ゲートは前

記第 3 の電界効果トランジスタの前記ドレインに接続され、前記第 1 の電界効果トランジスタの前記ソースと前記第 3 の電界効果トランジスタの前記ソースとの間に設けられたフィードバック路を更に備え、前記第 3 の電界効果トランジスタの前記ゲート及び前記ソースをインダクタの 2 端子とする。

【 0 0 3 0 】

この発明のうち請求項 3 にかかるものは能動インダクタであって、いずれもソース、ゲート、ドレインを有する第 1 乃至第 4 の電界効果トランジスタを備え、前記第 1 の電界効果トランジスタの前記ドレインは前記第 2 の電界効果トランジスタの前記ソース並びに前記第 3 の電界効果トランジスタの前記ゲート及び前記第 4 の電界効果トランジスタの前記ゲートに接続され、前記第 1 の電界効果トランジスタの前記ゲートは前記第 2 の電界効果トランジスタの前記ドレインに接続され、前記第 2 の電界効果トランジスタの前記ゲートは前記第 3 の電界効果トランジスタの前記ドレインに接続され、前記第 3 の電界効果トランジスタの前記ソースは前記第 4 の電界効果トランジスタの前記ソースに接続され、前記第 1 の電界効果トランジスタの前記ソースと前記第 4 の電界効果トランジスタの前記ドレインとの間に設けられたフィードバック路を更に備え、前記第 4 の電界効果トランジスタの前記ソース及び前記ドレインは同電位に設定され、前記第 4 の電界効果トランジスタの前記ドレインと前記フィードバック路との接続点に流れ込む電流と、前記第 4 の電界効果トランジスタの前記ソースと前記第 2 の電界効果トランジスタの前記ソースとの接続点において流れ込む電流とは独立に設定され、前記第 4 の電界効果トランジスタの前記ゲート及び前記ドレインをインダクタの 2 端子とする。

【 0 0 3 1 】

この発明のうち請求項 4 にかかるものは、請求項 2 又は請求項 3 に記載の能動インダクタであって、前記インダクタの 2 端子に対して直列に接続される抵抗を更に備える。

【 0 0 3 2 】

この発明のうち請求項 5 にかかるものは、請求項 1 乃至請求項 4 のいずれか一つに記載の能動インダクタであって、前記フィードバック路には、前記第 1 の電界効果トランジスタの前記ソースに接続されたソースと、互いに共通に接続されて前

記インダクタの前記 2 端子の一方に接続されるゲート及びドレインとを有するフィードバック用の電界効果トランジスタを更に備える。

【 0 0 3 3 】

【発明の実施の形態】

実施の形態 1.

図 1 は本発明の実施の形態 1 にかかる能動インダクタ 1 0 1 の構成を示す回路図である。電界効果トランジスタ M 1 , M 2 の双方について、記号 D , G , S はそれぞれドレイン、ゲート、ソースを示している。なお本発明でソースは、トランジスタのボディ（バックゲート）に接続される。

【 0 0 3 4 】

トランジスタ M 1 のドレインはトランジスタ M 2 のソースにコンデンサ  $C c_3$  を介して接続される。また、トランジスタ M 1 のソースとトランジスタ M 2 のゲートとの間には抵抗 R とコンデンサ  $C c_1$  の直列接続が設けられている。またトランジスタ M 1 のゲートとトランジスタ M 2 のドレインとはコンデンサ  $C c_2$  を介して接続されている。そしてトランジスタ M 2 のドレイン、トランジスタ M 1 のゲート、トランジスタ M 1 のドレインにそれぞれ適切な直流のバイアス電位  $P_1$  ,  $P_2$  ,  $P_3$  を与えることにより、トランジスタ M 2 のゲート及びソースの間で能動インダクタが得られる。

【 0 0 3 5 】

かかるバイアス電位は、図示されないが、そのアドミッタンスが後述する回路の解析において無視できる程度に小さくなるように、大きく設定されたインダクタンスを有するインダクタを介して外部から供給することができる。またコンデンサ  $C c_1$  ,  $C c_2$  ,  $C c_3$  は直流分をカットしてバイアス電位同士の衝突を回避する等の為に設けられている。従って、コンデンサ  $C c_1$  ,  $C c_2$  ,  $C c_3$  の値は、そのインピーダンスが後述する回路の解析において無視できる程度に小さくなるように、大きく設定することができる。

【 0 0 3 6 】

さて、能動インダクタ 1 0 1 に流れる電流を I （トランジスタ M 2 のゲートと抵抗 R の接続点へと流れ込む方向を正とする）とする。また従来の技術と同様に

して、トランジスタM1, M2のトランスコンダクタンスをそれぞれ $g_{m1}$ ,  $g_{m2}$ とし、トランジスタM1, M2のソース・ゲート間に寄生するキャパシタをそれぞれ $C_{gs1}$ ,  $C_{gs2}$ として、図24に示された等価回路を採用すると、能動インダクタ101の等価回路は図2に示される。

【0037】

トランジスタM2のソースを基準としたトランジスタM2のゲートの電圧をVとし、その角周波数を $\omega$  ( $=2\pi f$ :  $f$ は周波数)とする。 $V=V_{gs2}$ が成立するので、トランジスタM1のソースから抵抗Rへと流れる電流を $I_R$ とすると、

【0038】

【数7】

$$\left. \begin{aligned} I+I_R &= j\omega C_{gs2}V \\ I_R &= (g_{m1}+j\omega C_{gs1})V_{gs1} \\ j\omega C_{gs1}V_{gs1} &= -g_{m2}V \end{aligned} \right\} (7)$$

【0039】

が成立する。但し、第1式乃至第3式はそれぞれ図1に示されるノードN1～N3において成立する。よってトランジスタM2のゲート・ソース間の外部から見たアドミッタンスは

【0040】

【数8】

$$Y = j\omega C_{gs2} + \frac{g_{m1}g_{m2}}{j\omega C_{gs1}} + g_{m2} \quad \dots (8)$$

【0041】

として表される。即ち能動インダクタ101の等価回路は、図3に示されるように値 $C_{gs1}/(g_{m1}g_{m2})$ のインダクタと、値 $g_{m2}^{-1}$ の抵抗と、値 $C_{gs2}$ のキャパシタの並列接続として表現できる。そして抵抗Rの値には依らない。値 $C_{gs1}/(g_{m1}g_{m2})$ のインダクタと、値 $C_{gs2}$ のキャパシタの並列接続によって構成される共振回路の反共振周波数を $f_{T1}$ として

【0042】

【数 9】

$$f_{T1} = \frac{1}{2\pi} \sqrt{\frac{g_{m1}g_{m2}}{C_{gs1}C_{gs2}}} \quad \dots (9)$$

【0 0 4 3】

を導入すると、トランジスタ M2 のゲート・ソース間の外部から見たインピーダンスは、式 (8) の逆数を採って

【0 0 4 4】

【数 1 0】

$$Z = \frac{1}{g_{m2}} \cdot \frac{j \cdot 2\pi f \left( \frac{C_{gs1}}{g_{m1}} \right)}{\left[ 1 - \left( \frac{f}{f_{T1}} \right)^2 \right] + j \cdot 2\pi f \left( \frac{C_{gs1}}{g_{m1}} \right)} \quad \dots (10)$$

【0 0 4 5】

と表される。

【0 0 4 6】

図 4 及び図 5 は式 (10) に基づくシミュレーションの結果を示すグラフであり、それぞれ能動インダクタ 1 0 1 のインダクタンス成分及び直列抵抗成分を示している。ここではトランジスタ M1, M2 のトランスコンダクタンス  $g_{m1}$ ,  $g_{m2}$  としていずれも 6 0 0 mS、寄生キャパシタ  $C_{gs1}$ ,  $C_{gs2}$  としていずれも 9.6 fF とした。この場合反共振周波数  $f_{T1}$  は約 1 0 0 GHz となる。例えばゲート長及びゲート幅はそれぞれ 0.1  $\mu$ m, 1 0  $\mu$ m であり、ゲート絶縁膜の厚さはシリコン酸化膜の誘電率を用いて換算して 1.8 nm である。

【0 0 4 7】

図 4 から、反共振周波数  $f_{T1}$  よりも低い周波数では、周波数が増大するほどインダクタンスは減少し、1 GHz でのインダクタンス値 ( $C_{gs1} / (g_{m1}g_{m2})$ ) = 約 0.27 nH) から連続して  $\pm 10\%$  の変動に収まる周波数は 53 GHz となる。

【0 0 4 8】

上記と同じ仕様のトランジスタ M1, M2 を用いて図 2 3 に示された能動イン

ダクタ 2 0 0 の特性の式 (2) に基づいたシミュレーション結果を図 6 及び図 7 に示す。図 6 及び図 7 はそれぞれインダクタンス分及び抵抗分を示している。但し抵抗値  $R$  として  $180\ \Omega$  を用いた。

## 【 0 0 4 9 】

$1\text{ GHz}$  でのインダクタンス値は式 (6) から  $CR/g = \text{約 } 0.29\text{ nH}$  と定まり、本実施の形態の場合とほぼ等しい。そして  $\pm 10\%$  の変動に収まる周波数は  $56\text{ GHz}$  となる。従って、インダクタ成分としての特性では、本実施の形態は従来の技術とほぼ同等の性能を得ていることが分かる。

## 【 0 0 5 0 】

しかし、図 7 に示されるように、能動インダクタ 2 0 0 の直列抵抗成分は、式 (6) から得られる直列抵抗成分  $1/g = \text{約 } 167\ \Omega$  以上の値を採る。一方、本実施の形態に示された能動インダクタの直列抵抗成分は図 5 に示されるように、 $1/g_{m2} = \text{約 } 167\ \Omega$  以下の値を採る。従って、損失の低い能動インダクタを得ることができる。

## 【 0 0 5 1 】

なお、本実施の形態ではトランジスタ  $M1$  のソースとトランジスタ  $M2$  のゲートとの間に設けられるフィードバック路に抵抗  $R$  が介在するが、式 (8) に示されるように、抵抗  $R$  の値は能動インダクタの動作に影響を与えない。よって抵抗  $R$  を、他のトランジスタ  $M1$ 、 $M2$  の諸元とは独立して設計することができる利点がある。抵抗  $R$  の値が零であってもよい。更に一般にはこの抵抗  $R$  を他の 2 端子素子、例えば容量性素子、誘導性素子に置換することもできる。

## 【 0 0 5 2 】

図 8 は本実施の形態の変形にかかる能動インダクタ 1 0 2 の構成を示す回路図である。能動インダクタ 1 0 1 における抵抗  $R$  に置換する 2 端子素子として、トランジスタ  $M2$  のゲートに共通に接続されるドレイン及びゲート、並びにトランジスタ  $M1$  のソースに接続されたソースを備えた電界効果トランジスタ  $Mf$  を採用した場合に相当する。この場合にもトランジスタ  $M1$  のソース・ドレイン間に流れる電流は図 1 に示された場合と同様であり、これと等しい電流がトランジスタ  $Mf$  のソース・ドレイン間に流れる電流と、トランジスタ  $Mf$  のソース・ゲート



ト間の寄生容量  $C_{gsf}$  に流れる電流との和に等しくなるように、トランジスタ  $M_f$  のソース・ゲート間の電圧が定まる。但し、トランジスタ  $M_f$  のソースには適切な直流のバイアス電位  $P_4$  を与える必要がある。

## 【 0 0 5 3 】

実施の形態 2.

図 9 は本発明の実施の形態 2 にかかる能動インダクタ 1 0 3 の構成を示す回路図である。能動インダクタ 1 0 3 は、図 1 に示された能動インダクタ 1 0 1 に対してトランジスタ  $M_2$  のゲートと抵抗  $R$  との間に電界効果トランジスタ  $M_3$  を追加した構成を有している。より具体的には、直流分をカットしてバイアス電位同士の衝突を回避する等の為に設けられたコンデンサ  $C_{c4}$  を介して、トランジスタ  $M_2$  のゲートにはトランジスタ  $M_3$  のドレインが接続され、トランジスタ  $M_1$  のソースにはコンデンサ  $C_{c1}$  と抵抗  $R$  の直列接続を介してトランジスタ  $M_3$  のソースが接続されている。トランジスタ  $M_3$  のゲートはトランジスタ  $M_2$  のソースに接続されている。

## 【 0 0 5 4 】

コンデンサ  $C_{c4}$  の両端、即ちトランジスタ  $M_2$  のゲート及びトランジスタ  $M_3$  のドレインには、それぞれ適切な直流のバイアス電位  $P_5$ 、 $P_6$  を与えることにより、トランジスタ  $M_3$  のゲート及びソースの間で能動インダクタが得られる。

## 【 0 0 5 5 】

さて、能動インダクタ 1 0 3 に流れる電流を  $I$  (トランジスタ  $M_3$  のソースと抵抗  $R$  の接続点へと流れ込む方向を正とする) とする。またトランジスタ  $M_3$  のトランスコンダクタンスを  $g_{m3}$  とし、トランジスタ  $M_3$  のソース・ゲート間に寄生するキャパシタを  $C_{gs3}$  として、図 2 4 に示された等価回路を採用すると、能動インダクタ 1 0 3 の等価回路は図 1 0 に示される。

## 【 0 0 5 6 】

トランジスタ  $M_3$  のゲートを基準としたトランジスタ  $M_3$  のソースの電圧を  $V$  とし、その角周波数を  $\omega$  ( $= 2\pi f$  :  $f$  は周波数) とする。 $V = -V_{gs3}$  が成立するので、トランジスタ  $M_1$  のソースから抵抗  $R$  へと流れる電流を  $I_R$  とすると

【0057】

【数11】

$$\left. \begin{aligned} I + I_R - (g_{m3} + j\omega C_{gs3})V &= 0 \\ I_R &= (g_{m1} + j\omega C_{gs1})V_{gs1} \\ j\omega C_{gs1}V_{gs1} &= -g_{m2}V_{gs2} \\ j\omega C_{gs2}V_{gs2} &= g_{m3}V \end{aligned} \right\} (11)$$

【0058】

が成立する。但し、第1式乃至第4式はそれぞれ図9に示されるノードN1～N4において成立する。よって外部から見たトランジスタM3のゲート・ソース間のアドミッタンスは

【0059】

【数12】

$$Y = j\omega C_{gs3} + \frac{g_{m2}g_{m3}}{j\omega C_{gs2}} + g_{m3} \left[ 1 - \frac{1}{\omega^2} \cdot \frac{g_{m1}g_{m2}}{C_{gs1}C_{gs2}} \right] \quad \dots (12)$$

【0060】

として表される。即ち能動インダクタ103の等価回路は、値 $C_{gs2}/(g_{m2}g_{m3})$ のインダクタと、後述する値の抵抗と、値 $C_{gs3}$ のキャパシタの並列接続として表現できる。そして抵抗Rの値には依らない。値 $C_{gs2}/(g_{m2}g_{m3})$ のインダクタと、値 $C_{gs3}$ のキャパシタの並列接続によって構成される共振回路の反共振周波数を $f_{T2}$ として

【0061】

【数13】

$$f_{T2} = \frac{1}{2\pi} \sqrt{\frac{g_{m2}g_{m3}}{C_{gs2}C_{gs3}}} \quad \dots (13)$$

【0062】

を導入すると、並列接続される抵抗の値は $g_{m3}^{-1} [1 - (f_{T1}/f)^2]^{-1}$ で表される。図11に、式(12)及び(13)に基づいて得られる、能動インダクタ103の等価回路を示す。

【 0 0 6 3 】

トランジスタM3のゲート・ソース間の外部から見たインピーダンスは、式（12）の逆数を使って

【 0 0 6 4 】

【数14】

$$Z = \frac{1}{g_{m3}} \cdot \frac{j \cdot 2 \pi f \left( \frac{C_{gs2}}{g_{m2}} \right)}{\left[ 1 - \left( \frac{f}{f_{T2}} \right)^2 \right] + j \cdot 2 \pi f \left( \frac{C_{gs2}}{g_{m2}} \right) \left[ 1 - \left( \frac{f_{T1}}{f} \right)^2 \right]} \quad \cdots (14)$$

【 0 0 6 5 】

と表される。

【 0 0 6 6 】

図12及び図13は式（14）に基づくシミュレーションの結果を示すグラフであり、それぞれ能動インダクタ103のインダクタンス成分及び直列抵抗成分を示している。ここではトランジスタM1～M3のトランスコンダクタンス  $g_{m1}$ 、 $g_{m2}$ 、 $g_{m3}$ としていずれも600mS、寄生キャパシタ  $C_{gs1}$ 、 $C_{gs2}$ 、 $C_{gs3}$ としていずれも9.6fFとした。この場合反共振周波数  $f_{T1}$ 、 $f_{T2}$ はいずれも約100GHzとなる。例えばゲート長及びゲート幅はそれぞれ0.1  $\mu$ m、10  $\mu$ mであり、ゲート絶縁膜の厚さはシリコン酸化膜の誘電率を用いて換算して1.8nmである。

【 0 0 6 7 】

図12、図13に示されるように、また式（14）から分かるように、反共振周波数  $f_{T1}$ 、 $f_{T2}$ よりも低い周波数では、周波数が増大するほどインダクタンス成分は増大する。また抵抗成分は負であって、周波数が増大するほどその絶対値が増大する。

【 0 0 6 8 】

周波数が非常に低い部分では、等価回路においてインダクタに並列接続された抵抗の値が非常に小さくなるので、能動インダクタ103のインダクタ成分の帯

域は広く採れない。しかし、反共振周波数よりも低い周波数では直列抵抗成分もその値が負となるので、外部から直列に抵抗を接続することによって、損失を小さくすることができる。図 1 4 に能動インダクタ 1 0 3 に対して直列に可変抵抗  $R_{var}$  を接続した回路を例示する。このような能動インダクタ 1 0 3 と可変抵抗  $R_{var}$  の直列接続も能動インダクタ 1 0 3 a として把握することができる。

## 【 0 0 6 9 】

なお、式 (1 4) から分かるように、本実施の形態においても抵抗  $R$  の値は能動インダクタの動作に影響を与えない。よって実施の形態 1 と同様に、トランジスタ  $M 1$  のソースとトランジスタ  $M 3$  のソースとの間に設けられるフィードバック路において、抵抗  $R$  を他の 2 端子素子、例えば容量性素子、誘導性素子に置換することもでき、更には図 8 に示された変形のようにしてトランジスタ  $M f$  へと置換することもできる。

## 【 0 0 7 0 】

## 実施の形態 3.

図 1 5 は本発明の実施の形態 3 にかかる能動インダクタ 1 0 4 の構成を示す回路図である。能動インダクタ 1 0 4 は、図 9 に示された能動インダクタ 1 0 3 に対してトランジスタ  $M 3$  のソースと抵抗  $R$  との間に電界効果トランジスタ  $M 4$  を追加した構成を有している。より具体的には、トランジスタ  $M 3$  のソースにはトランジスタ  $M 4$  のソースが接続され、トランジスタ  $M 1$  のソースにはコンデンサ  $C c_1$  と抵抗  $R$  の直列接続を介してトランジスタ  $M 4$  のドレインが接続されている。トランジスタ  $M 4$  のゲートはトランジスタ  $M 2$  のソースに接続されている。

## 【 0 0 7 1 】

トランジスタ  $M 2$  のソース及びトランジスタ  $M 4$  のソースは、トランジスタ  $M 4$  のドレインと同電位に固定されることにより、トランジスタ  $M 4$  のゲート及びドレインの間で能動インダクタが得られる。但し、トランジスタ  $M 4$  のドレインと抵抗  $R$  との接続点に流れ込む電流と、トランジスタ  $M 4$  のソースとトランジスタ  $M 2$  のソースの接続点において流れ込む電流とは独立に設定する。

## 【 0 0 7 2 】

さて、能動インダクタ 1 0 4 に流れる電流を  $I$  (トランジスタ  $M 4$  のドレイン

と抵抗  $R$  の接続点へと流れ込む方向を正とする) とする。トランジスタ  $M4$  のトランスコンダクタンスを  $g_{m4}$  とし、トランジスタ  $M4$  のソース・ゲート間に寄生するキャパシタを  $C_{gs4}$  として、図 24 に示された等価回路を採用すると、能動インダクタ 104 の等価回路は図 16 に示される。

【0073】

トランジスタ  $M4$  のゲートを基準としたトランジスタ  $M4$  のドレインの電圧を  $V$  とし、その角周波数を  $\omega$  ( $= 2\pi f$  :  $f$  は周波数) とする。  $V = -V_{gs3} = -V_{gs4}$  が成立する。トランジスタ  $M1$  のソースから抵抗  $R$  へと流れる電流を  $I_R$  とする。上述のように電流を独立に設定することにより、トランジスタ  $M2$  のソースとトランジスタ  $M4$  のソースの接続点において電流は連続しないので、

【0074】

【数 15】

$$\left. \begin{aligned} I + I_R &= -g_{m4}V \\ I_R &= (g_{m1} + j\omega C_{gs1})V_{gs1} \\ j\omega C_{gs1}V_{gs1} &= -g_{m2}V_{gs2} \\ j\omega C_{gs2}V_{gs2} &= g_{m3}V \end{aligned} \right\} (15)$$

【0075】

が成立する。但し、第 1 式乃至第 4 式はそれぞれ図 15 に示されるノード  $N1 \sim N4$  において成立する。よって外部から見たトランジスタ  $M4$  のゲート・ドレイン間のアドミッタンスは

【0076】

【数 16】

$$Y = \frac{g_{m2}g_{m3}}{j\omega C_{gs2}} + g_{m3} \left[ \left( -\frac{g_{m4}}{g_{m3}} \right) - \frac{g_{m1}g_{m2}}{\omega^2 C_{gs1}C_{gs2}} \right] \dots (16)$$

【0077】

として表される。即ち能動インダクタ 104 の等価回路は抵抗  $R$  の値には依らない。従って、実施の形態 1 と同様に、トランジスタ  $M1$  のソースとトランジスタ

M4 のドレインとの間に設けられるフィードバック路において、抵抗 R を他の 2 端子素子、例えば容量性素子、誘導性素子に置換することもでき、更には図 8 に示された変形のようにしてトランジスタ Mf へと置換することもできる。

【 0 0 7 8 】

式 (9) を導入すると、上記等価回路は図 1 7 に示されるように、値  $C_{gs2} / (g_{m2} g_{m3})$  のインダクタと、抵抗  $g_{m3}^{-1} [ (-g_{m4} / g_{m3}) - (f_{T1} / f)^2 ]^{-1}$  との並列接続として表現される。

【 0 0 7 9 】

トランジスタ M4 のゲート・ドレイン間の外部から見たインピーダンスは、式 (16) の逆数を使って

【 0 0 8 0 】

【数 1 7】

$$Z = \frac{1}{g_{m3}} \cdot \frac{j \cdot 2\pi f \left( \frac{C_{gs2}}{g_{m2}} \right)}{1 + j \cdot 2\pi f \left( \frac{C_{gs2}}{g_{m2}} \right) \left[ \left( -\frac{g_{m4}}{g_{m3}} \right) - \left( \frac{f_{T1}}{f} \right)^2 \right]} \quad \dots (17)$$

【 0 0 8 1 】

と表される。

【 0 0 8 2 】

図 1 8 及び図 1 9 は式 (17) に基づくシミュレーションの結果を示すグラフであり、それぞれ能動インダクタ 1 0 4 のインダクタンス成分及び直列抵抗成分を示している。ここではトランジスタ M1 ~ M4 のトランスコンダクタンス  $g_{m1}$ ,  $g_{m2}$ ,  $g_{m3}$ ,  $g_{m4}$  としていずれも 6 0 0 mS、寄生キャパシタ  $C_{gs1}$ ,  $C_{gs2}$ ,  $C_{gs3}$ ,  $C_{gs4}$  としていずれも 9. 6 fF とした。実施の形態 2 と同様に、 $f_{T1}$ ,  $f_{T2}$  はいずれも約 1 0 0 GHz となり、例えばゲート長及びゲート幅はそれぞれ 0. 1  $\mu$ m, 1 0  $\mu$ m であり、ゲート絶縁膜の厚さはシリコン酸化膜の誘電率を用いて換算して 1. 8 nm である。

【 0 0 8 3 】

図18に示されるように、インダクタンス成分は100GHz近辺でほぼ平坦となる特性を有し、100GHzにおけるインダクタンス値に対して10%以内に収まるインダクタンス値は、68～100GHz（帯域32GHz）において得られる。

## 【0084】

また図19に示されるように、実施の形態2と類似して抵抗成分は負であって、周波数が増大するほどその絶対値が増大する。従って、外部から直列に抵抗を接続することによって、損失を小さくすることができる。

## 【0085】

図20に能動インダクタ104に対して直列に可変抵抗 $R_{var}$ を接続した回路を例示する。このような能動インダクタ104と可変抵抗 $R_{var}$ の直列接続も能動インダクタ104aとして把握することができる。

## 【0086】

各トランジスタのサイズ、特に能動インダクタ101から見て能動インダクタ103、104において追加されるトランジスタM3、M4のサイズを制御することにより、インダクタンス成分や直列抵抗成分の値及びその周波数特性を制御することができる。式(16)、(17)に示されるように、本実施の形態の特性には寄生キャパシタ $C_{gs3}$ 、 $C_{gs4}$ の影響はない。従って、寄生キャパシタ $C_{gs3}$ 、 $C_{gs4}$ を考慮することなく、トランジスタM3、M4のサイズを設計してトランスコンダクタンス $g_{m3}$ 、 $g_{m4}$ を制御することができる。

## 【0087】

図21及び図22はいずれもトランジスタM4のトランスコンダクタンス $g_{m4}$ をパラメータとして変化させた場合のグラフであり、それぞれインダクタンス成分及び直列抵抗成分の値を示す。但し、トランジスタM3のトランスコンダクタンス $g_{m3}$ を、トランジスタM1、M2のトランスコンダクタンス $g_{m1}$ 、 $g_{m2}$ の1%の値に固定した。

## 【0088】

図21においては、グラフ $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ 、 $Q_5$ は、 $g_{m4}/g_{m3}$ の値がそれぞれ1、1.2、1.5、2、3の場合に相当する。インダクタンス成分の値

が連続して±10%の範囲内に収まる周波数帯域は、 $g_{m4}/g_{m3}=1$ の場合には60～100GHzであり、 $g_{m4}/g_{m3}=1.2$ の場合には55～100GHzであり、 $g_{m4}/g_{m3}=1.5$ の場合には50～100GHzであり、 $g_{m4}/g_{m3}=2$ の場合には44～100GHzであり、 $g_{m4}/g_{m3}=3$ の場合には36～92GHzであって、従来の場合以上に帯域を広げることにも可能である。但し、そのインダクタンスの値自体は、 $g_{m4}/g_{m3}$ が増大するに伴って減少する。

【0089】

また、図22においてはグラフ $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ 、 $S_5$ は、 $g_{m4}/g_{m3}$ の値がそれぞれ1、1.2、1.5、2、3の場合に相当する。直列抵抗成分の値の絶対値も、 $g_{m4}/g_{m3}$ が増大するに伴って減少する。

【0090】

【発明の効果】

以上のようにして、請求項1乃至請求項3にかかる能動インダクタによれば、能動インダクタの直列抵抗成分を低下させることができる。そして請求項5にかかる能動インダクタのように、フィードバック路にゲートとドレインを接続したフィードバック用の電界効果トランジスタを設けることもできる。

【0091】

特に請求項2及び請求項3にかかる能動インダクタでは、負性抵抗が生じるので、請求項4にかかる能動インダクタのように、外部から抵抗を直列に接続し、その直列抵抗を制御することができる。

【0092】

特に請求項3にかかる能動インダクタでは、第3及び第4の電界トランジスタの少なくともいずれか一方を制御することによりその特性、例えば帯域を制御することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる能動インダクタの構成を示す回路図である。

【図2】 本発明の実施の形態1にかかる能動インダクタの等価回路を示す回路図である。



【図 3】 本発明の実施の形態 1 にかかる能動インダクタの等価回路を示す回路図である。

【図 4】 本発明の実施の形態 1 にかかる能動インダクタのインダクタンス成分を示すグラフである。

【図 5】 本発明の実施の形態 1 にかかる能動インダクタの直列抵抗成分を示すグラフである。

【図 6】 従来の技術にかかる能動インダクタのインダクタンス成分を示すグラフである。

【図 7】 従来の技術にかかる能動インダクタの直列抵抗成分を示すグラフである。

【図 8】 本発明の実施の形態 1 の変形にかかる能動インダクタの構成を示す回路図である。

【図 9】 本発明の実施の形態 2 にかかる能動インダクタの構成を示す回路図である。

【図 10】 本発明の実施の形態 2 にかかる能動インダクタの等価回路を示す回路図である。

【図 11】 本発明の実施の形態 2 にかかる能動インダクタの等価回路を示す回路図である。

【図 12】 本発明の実施の形態 2 にかかる能動インダクタのインダクタンス成分を示すグラフである。

【図 13】 本発明の実施の形態 2 にかかる能動インダクタの直列抵抗成分を示すグラフである。

【図 14】 本発明の実施の形態 2 の変形にかかる能動インダクタの構成を示す回路図である。

【図 15】 本発明の実施の形態 3 にかかる能動インダクタの構成を示す回路図である。

【図 16】 本発明の実施の形態 3 にかかる能動インダクタの等価回路を示す回路図である。

【図 17】 本発明の実施の形態 3 にかかる能動インダクタの等価回路を示

す回路図である。

【図 1 8】 本発明の実施の形態 3 にかかる能動インダクタのインダクタンス成分を示すグラフである。

【図 1 9】 本発明の実施の形態 3 にかかる能動インダクタの直列抵抗成分を示すグラフである。

【図 2 0】 本発明の実施の形態 3 の変形にかかる能動インダクタの構成を示す回路図である。

【図 2 1】 本発明の実施の形態 3 の変形にかかる能動インダクタのインダクタンス成分を示すグラフである。

【図 2 2】 本発明の実施の形態 3 の変形にかかる能動インダクタの直列抵抗成分を示すグラフである。

【図 2 3】 従来の技術を示す回路図である。

【図 2 4】 電界効果トランジスタの等価回路の回路図である。

【図 2 5】 従来の技術を示す等価回路の回路図である。

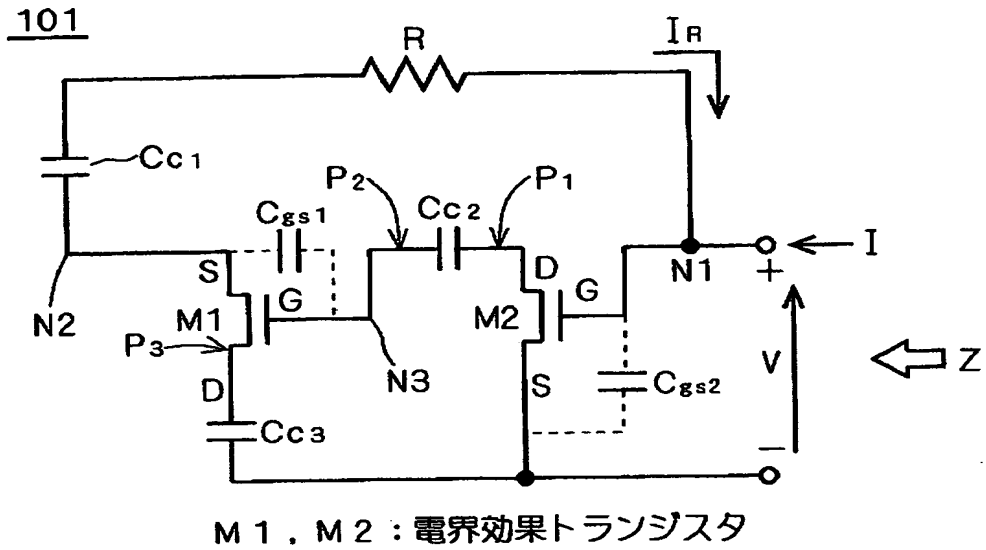
【図 2 6】 従来の技術を示す等価回路の回路図である。

【符号の説明】

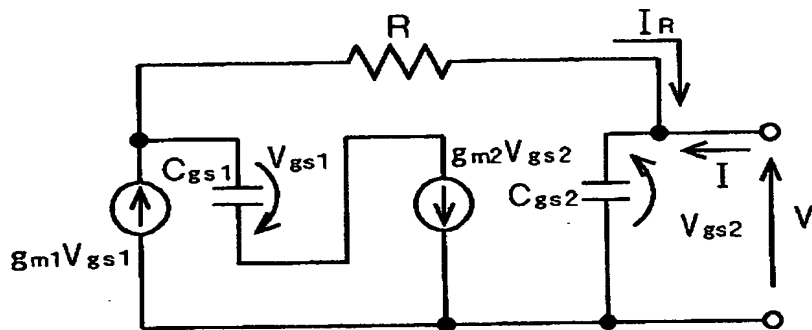
M 1 ～ M 4 , M f 電界効果トランジスタ。

【書類名】 図面

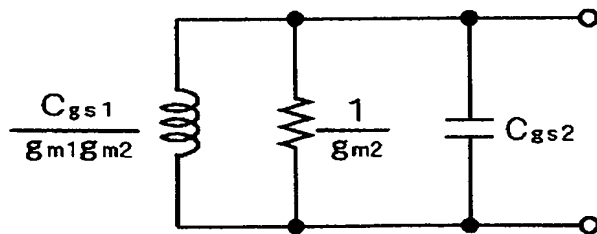
【図 1】



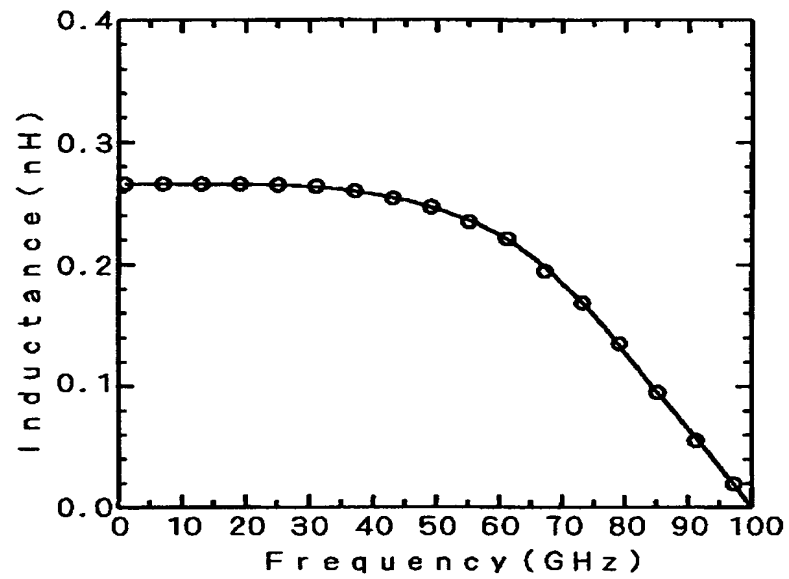
【図 2】



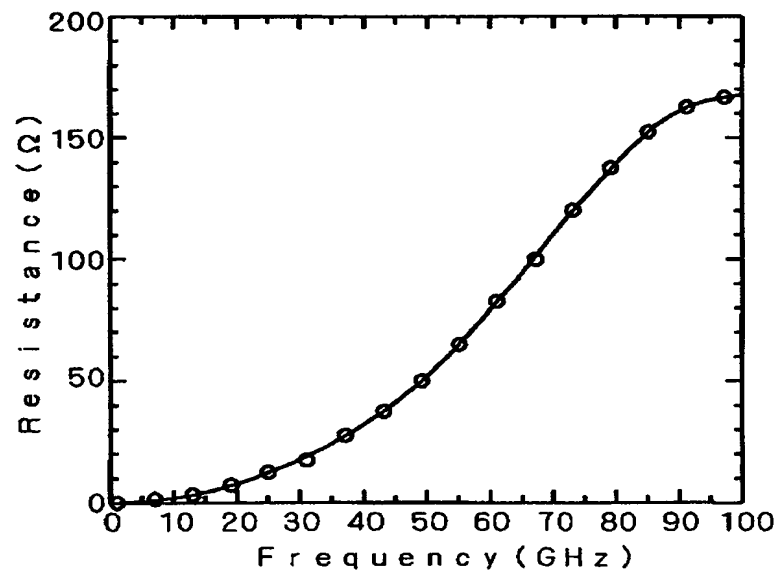
【図 3】



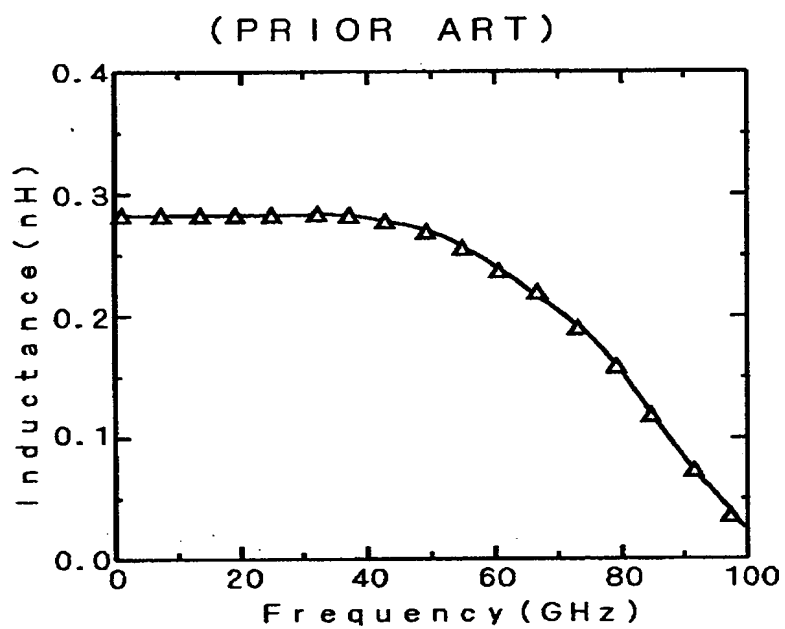
【図 4】



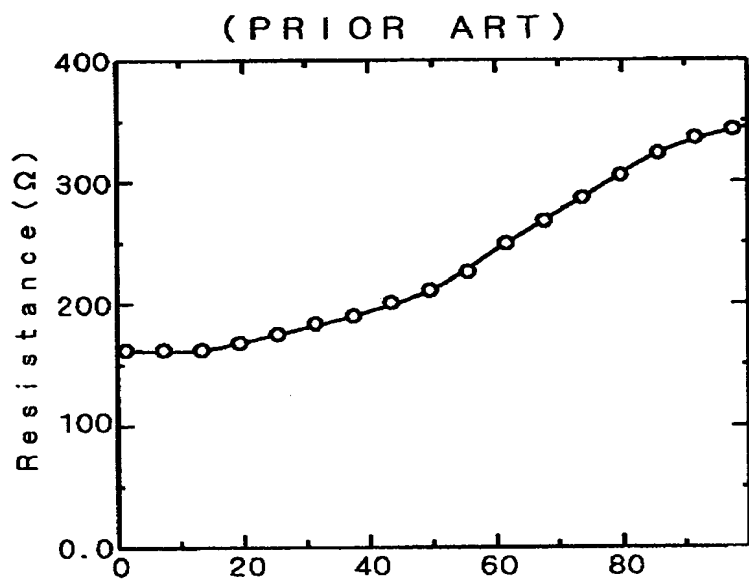
【図 5】



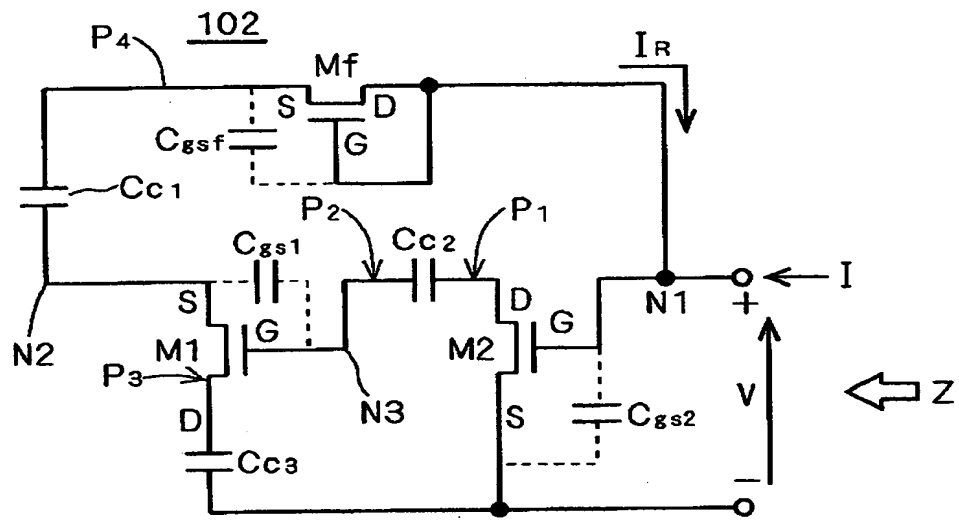
【図6】



【図7】

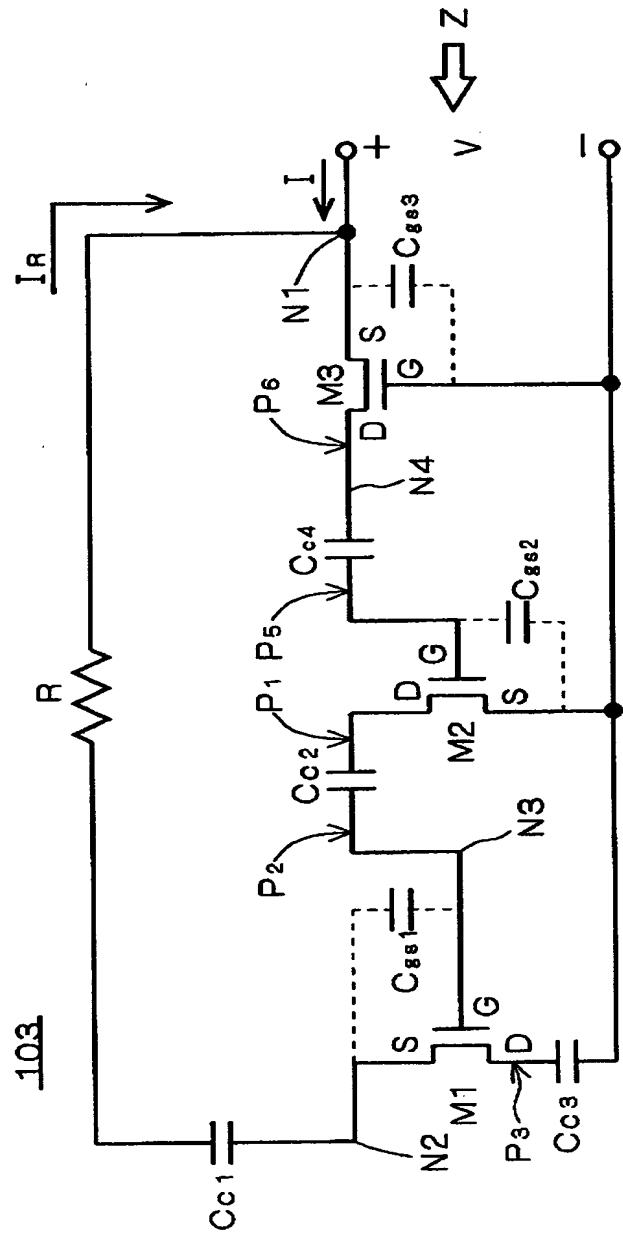


【図 8】



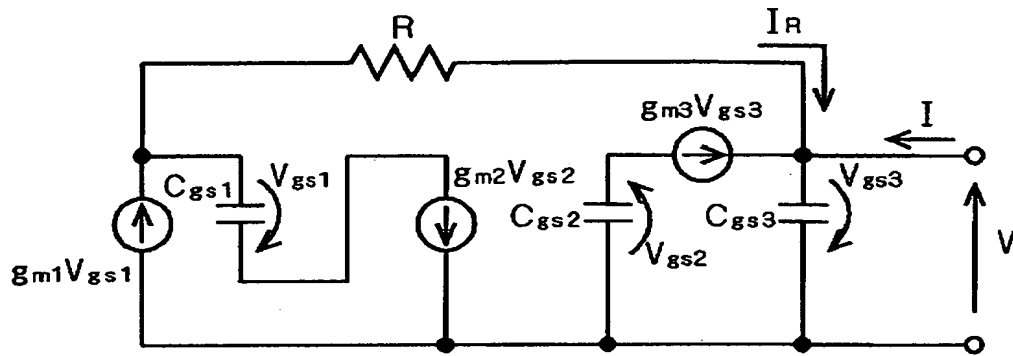
M f : 電界効果トランジスタ

【図 9】

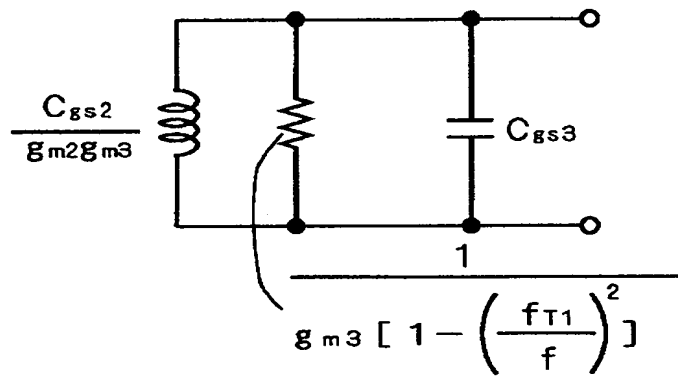


M3 : 電界効果トランジスタ

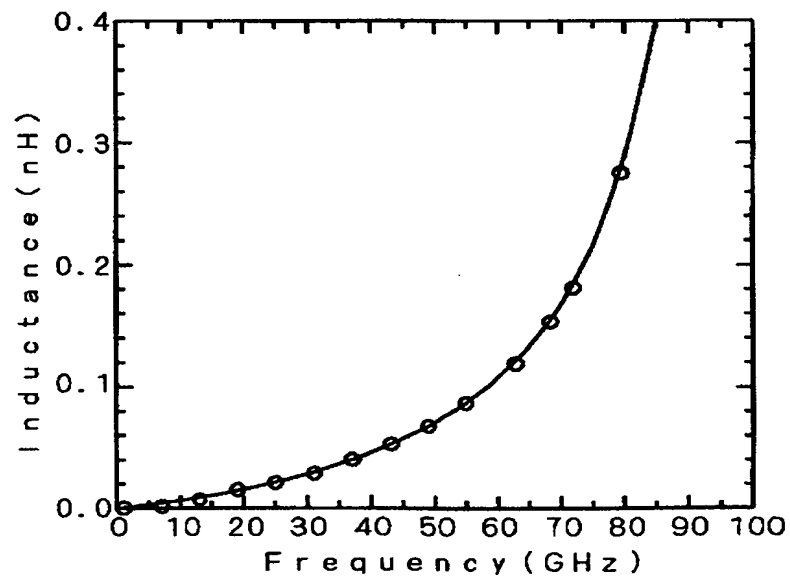
【図 1 0】



【図 1 1】

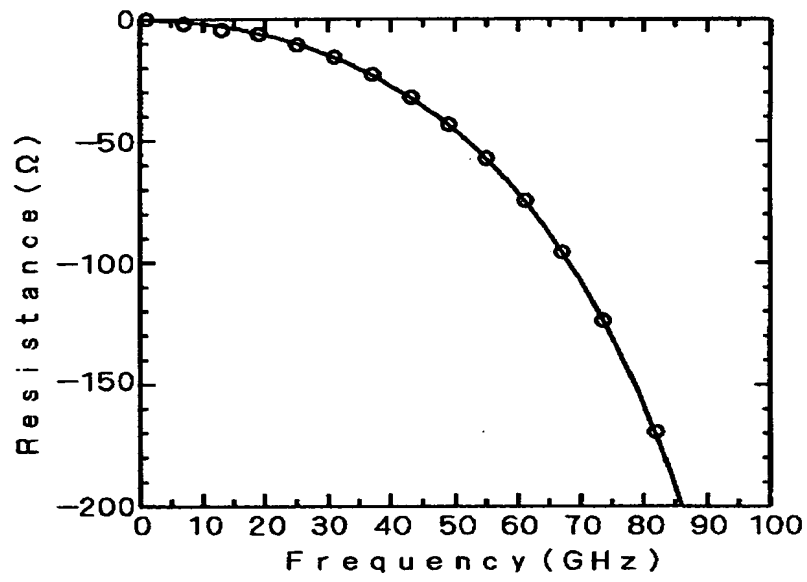


【図 1 2】

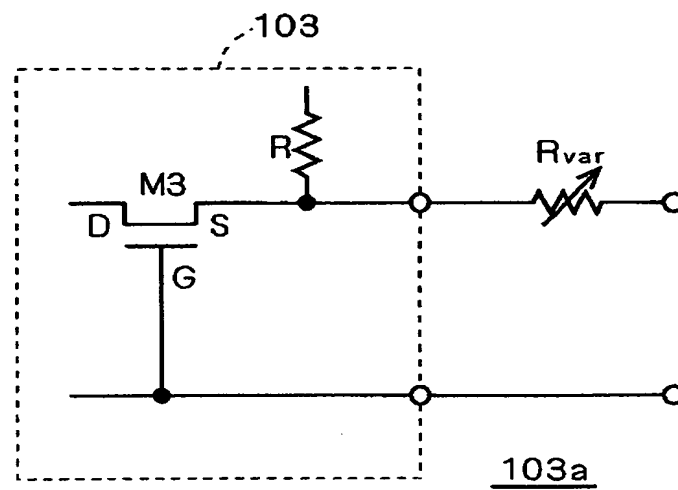




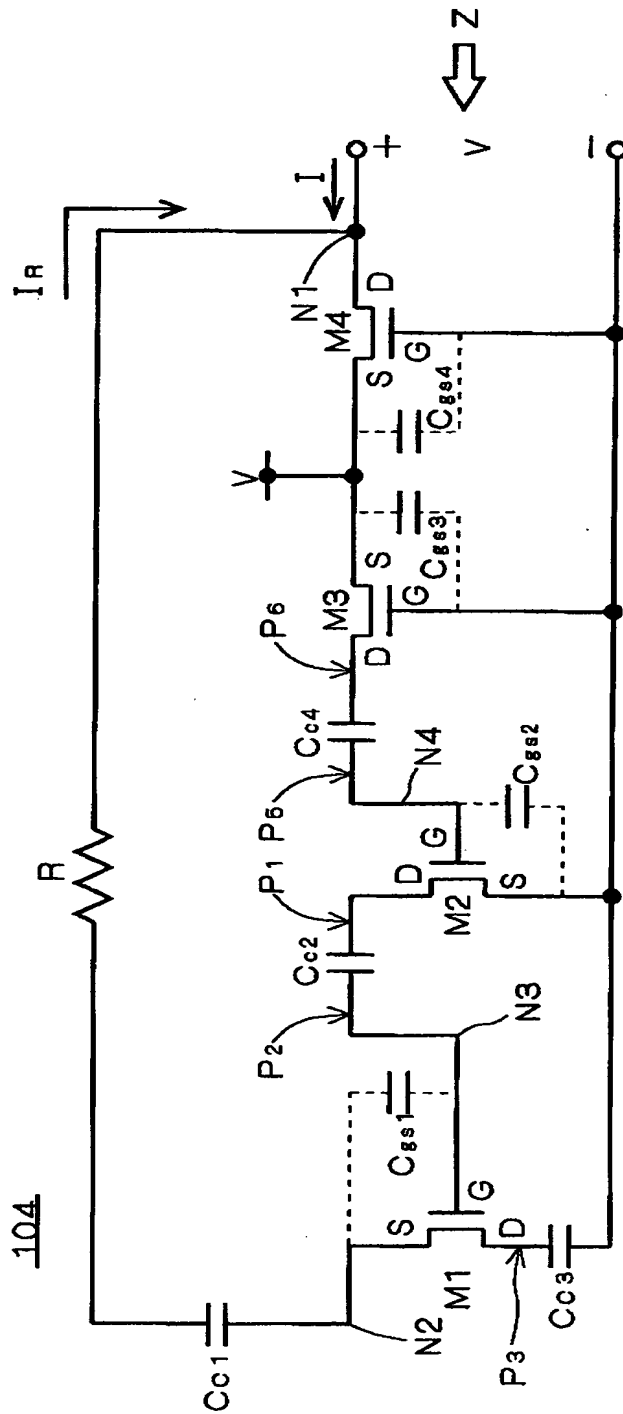
【図 13】



【図 14】

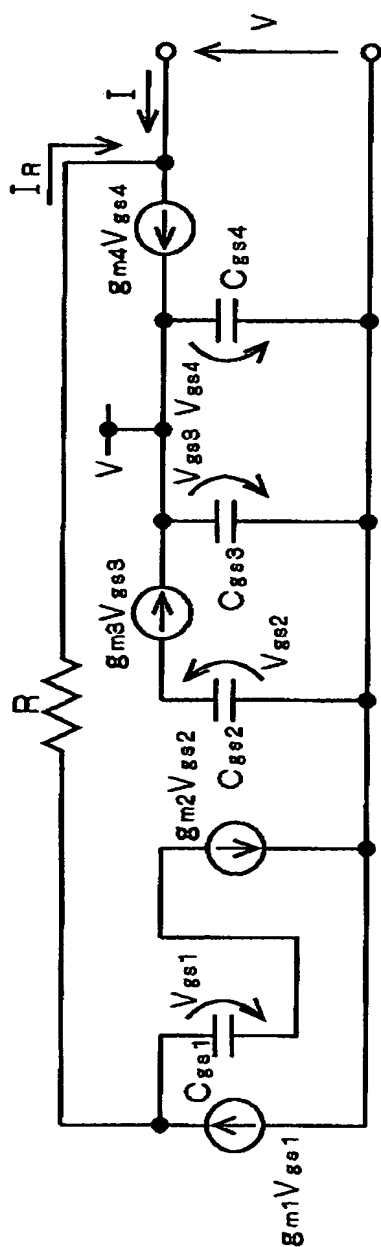


【図 15】

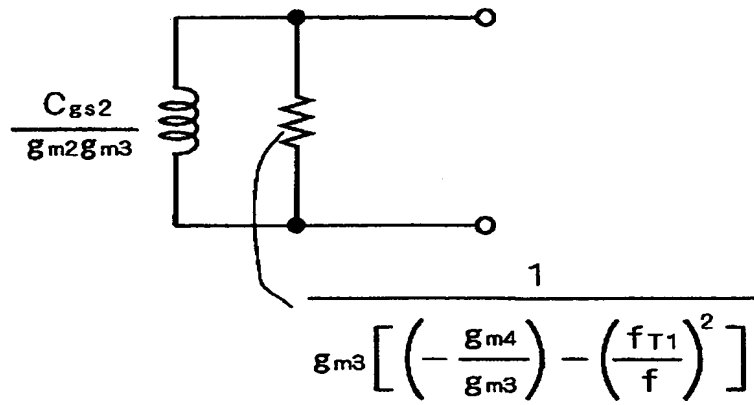


M4 : 電界効果トランジスタ

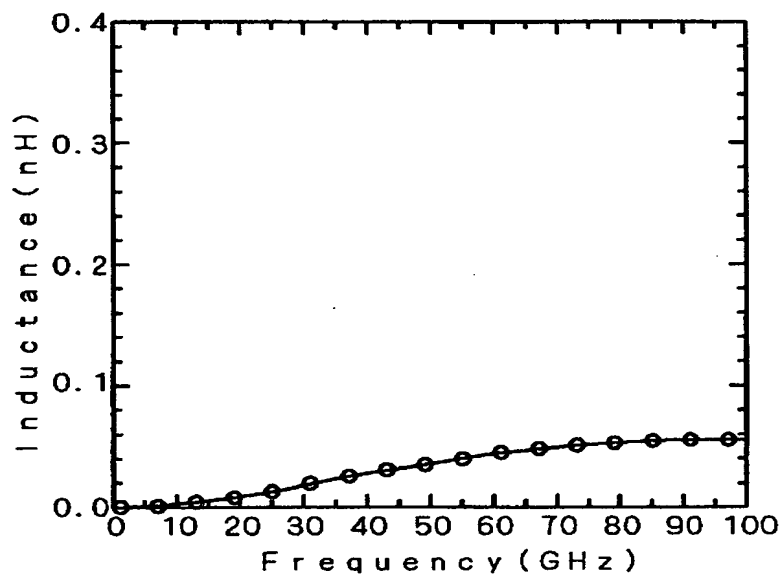
【图 16】



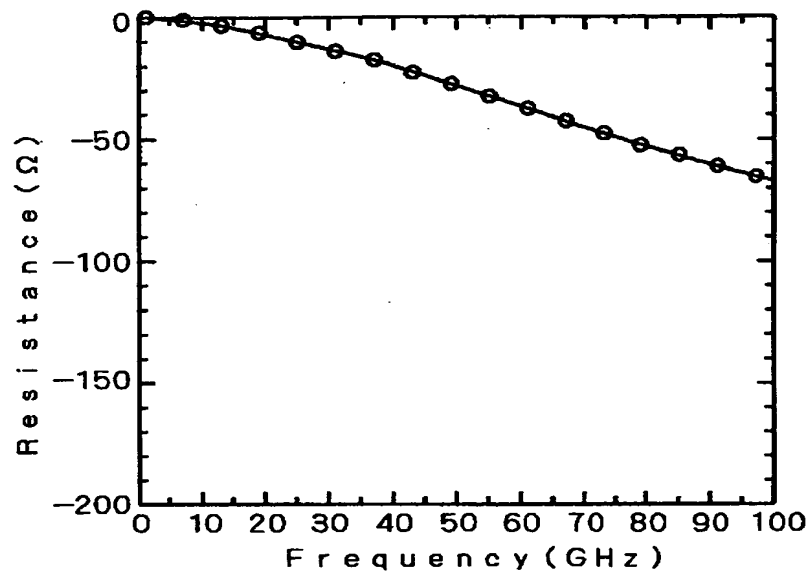
【図 17】



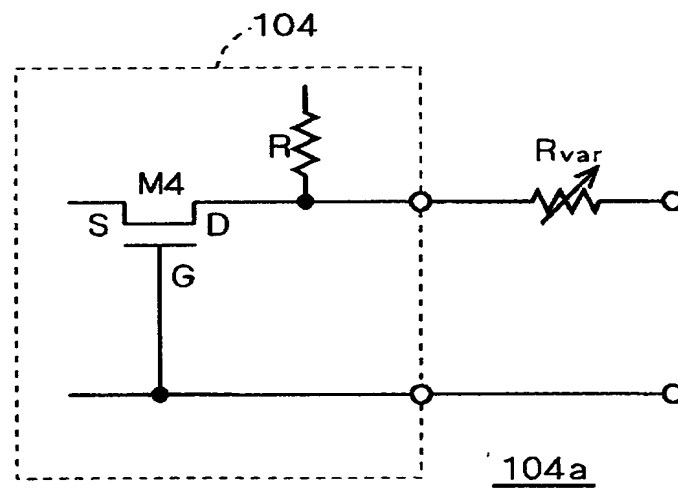
【図 18】



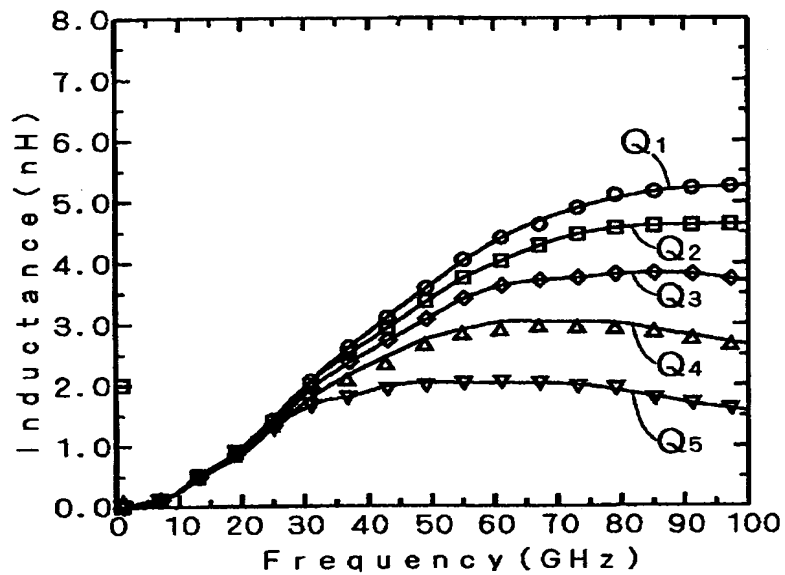
【図 19】



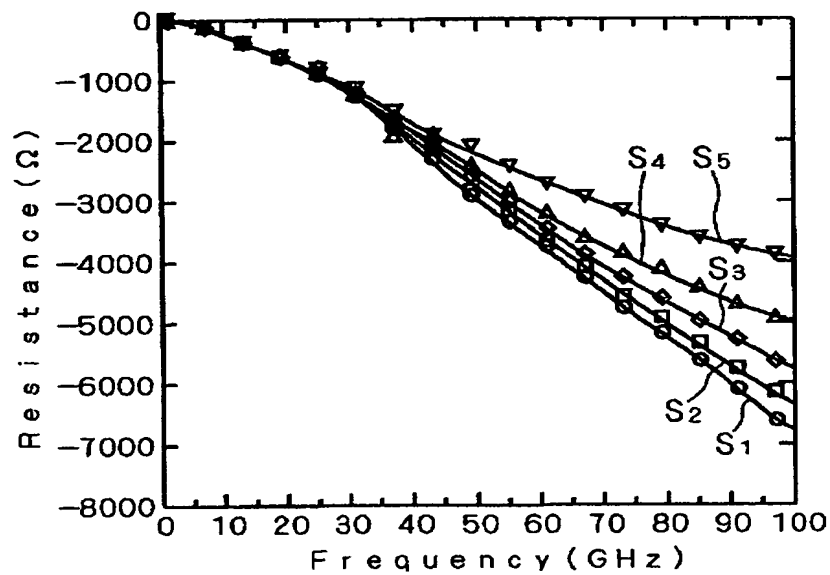
【図 20】



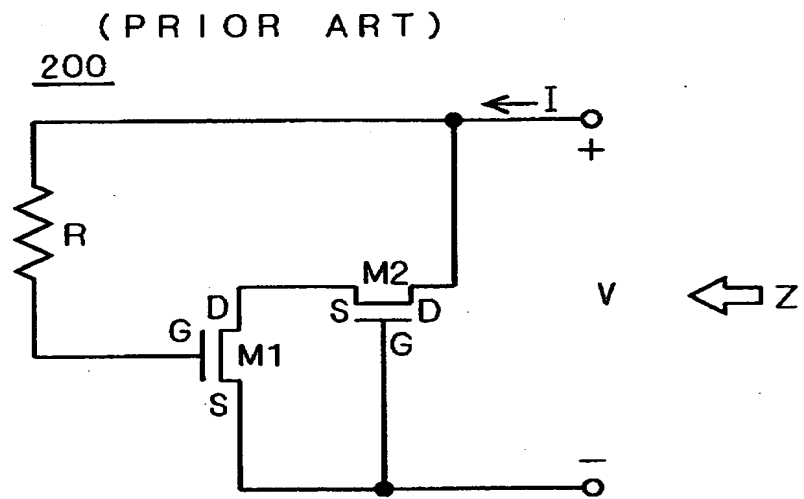
【図 2 1】



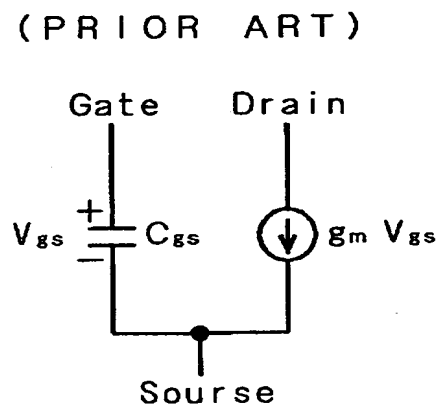
【図 2 2】



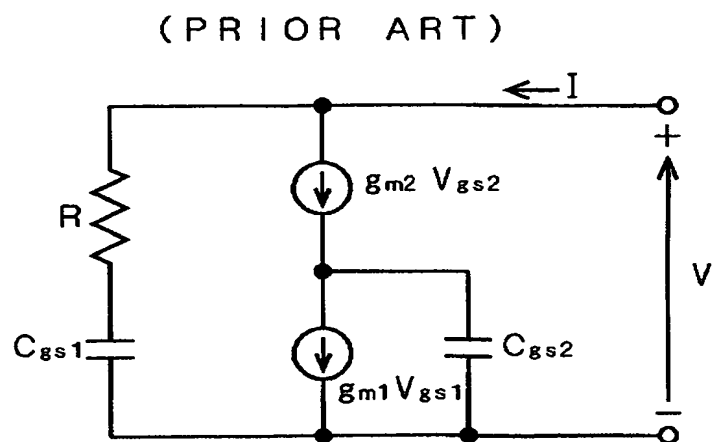
【図 23】



【図 24】

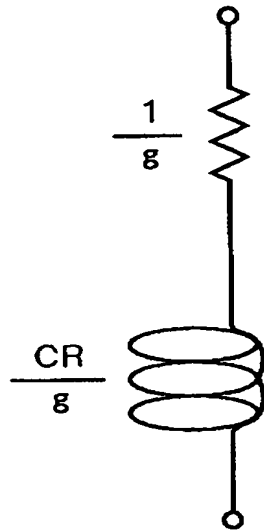


【図 25】



【図 2 6】

( P R I O R   A R T )





【書類名】 要約書

【要約】

【課題】 損失の低い能動インダクタを提供する。

【解決手段】 トランジスタM1のドレインはトランジスタM2のソースにコンデンサ $Cc_3$ を介して接続される。また、トランジスタM1のソースとトランジスタM2のゲートとの間には抵抗Rとコンデンサ $Cc_1$ の直列接続が設けられている。またトランジスタM1のゲートとトランジスタM2のドレインとはコンデンサ $Cc_2$ を介して接続されている。そしてトランジスタM2のドレイン、トランジスタM1のゲート、トランジスタM1のドレインにそれぞれ適切な直流のバイアス電位 $P_1$ ,  $P_2$ ,  $P_3$ を与えることにより、トランジスタM2のゲート及びソースの間で能動インダクタが得られる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社